

GENERATING CIRCUIT FOR MAXIMUM CYCLE STRING SIGNAL

Patent Number: JP2295215
Publication date: 1990-12-06
Inventor(s): SUZUKI KEIZO; others: 01
Applicant(s): TECH RES & DEV INST OF JAPAN DEF AGENCY; others: 01
Requested Patent: ☐ JP2295215
Application Number: JP19890116442 19890510
Priority Number(s):
IPC Classification: H03K3/84; G01S7/282; G01S7/36
EC Classification:
Equivalents: JP2967520B2

Abstract

PURPOSE: To improve the anti-interference performance and the secrecy without increasing the scale of a device by using additionally a preset signal generating part, a K-notation counter, and a switch circuit which switches the number of stages of a shift register.

CONSTITUTION: The switch circuits 5 and 6 switch the number (n) of stages and the number (m) of intermediate stages for feedback of an n-stage shift register 1. A K-notation counter circuit 7 secures the synchronization with the pulse modulating cycle of a radar, etc. Then a preset signal generating part 3 is added to set the optional initial value. Thus the signal irregularity is increased from the first since the initial value can be optionally set at the part 3. Furthermore the numbers (n) and (m) of stages of the register 1 can be varied and at the same time the code length and cycle are forcibly changed by the circuit 7. Thus it is possible to improve the anti-interference performance and the secrecy without increasing the scale of a device.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平2-295215

⑤ Int. Cl.⁵H 03 K 3/84
G 01 S 7/282
7/36

識別記号

A
A

庁内整理番号

8626-5 J
8940-5 J
8940-5 J

④ 公開 平成2年(1990)12月6日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 最大周期列信号発生回路

⑰ 特 願 平1-116442

⑱ 出 願 平1(1989)5月10日

⑲ 発 明 者 鈴木 敬 三 東京都国分寺市高木町2-3-32

⑲ 発 明 者 北 島 耕 一 神奈川県鎌倉市上町屋325番地 三菱電機株式会社鎌倉製作所内

⑳ 出 願 人 防衛庁技術研究本部長 東京都世田谷区池尻1丁目2番24号

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

最大周期列信号発生回路

2. 特許請求の範囲

n 段シフトレジスタと、前記 n 段シフトレジスタの n 段目の出力とその中間段数 m ($< n$) の出力を入力し、排他的論理和をとつた出力を前記 n 段シフトレジスタの 1 段目の入力端にフィードバックする排他的論理和回路と、周期 T のクロックパルスを発生し、そのクロックパルスを前記 n 段シフトレジスタへ入力させるクロックパルス発生部とを備えた最大周期列信号発生回路において、符号長、周期を可変とするため前記シフトレジスタの段数 n を切換え、かつ前記フィードバックのためのタップ位置 m を切換えるスイッチ回路と、前記周期 T のクロックパルスと前記シフトレジスタの段数で決定される最大周期列信号の周期を K T の周期で再現的に発生させるための K 進カウンタと、前記 K 進カウンタの出力を入力し、前記シフトレジスタの初期値を設定するためのプリセッ

ト信号発生部と、所定の諸元情報を用いて前記シフトレジスタの段数およびタップ位置を決定する手段、この手段により決定された段数およびタップ位置となるように前記スイッチ回路へ切換制御指令を発生する手段、前記シフトレジスタの初期値を設定し、その初期値を前記プリセット信号発生部へ出力するとともに前記シフトレジスタへ初期値として設定するためのプリセット指令を発生する手段、前記プリセット完了後、前記 K 進カウンタへリセット指令を発生し、かつ前記クロックパルス発生部へ起動指令を発生する手段とを有する制御部とを具備したことを特徴とする最大周期列信号発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は通信やレーダなどの耐妨害性や秘匿性を向上させ得る最大周期列信号の発生回路に関するものである。

〔従来の技術〕

従来、様々な不規則信号が、通信やレーダなど

の耐妨害性能等の向上のため用いられており、その代表的なものとして最大周期列信号がある。

第5図は従来の n 次の最大周期列信号発生回路を示す図であり、図において(1)は n 段シフトレジスタ、(2)は排他的論理和回路、(3)はリセット信号発生部、(4)はクロックパルス発生部である。

この回路では、 n 段シフトレジスタ(1)の n 段目と、その中間の m 段目の出力とを排他的論理和回路(2)で排他的論理和をとり、その出力を、 n 段シフトレジスタ(1)の1段目の入力にフィードバックすると共に、クロックパルス発生部(4)で発生した周期 T のクロックパルスを n 段シフトレジスタ(1)に加えれば、0と1とを組合せた n 次の最大周期列信号を発生できる。この場合、 n 段シフトレジスタ(1)の全段のレジスタの初期状態が0でないこと及びフィードバックのための中間の段数 m は有限体 $GF(2)$ 上の原始多項式の係数に対応していることが必要であり、シフトレジスタの段数 n に対応した m の値は例えば「符号理論」(宮川、岩垂、今井共著、昭晃堂、1973)および「スペクトル

に、時間的に最大周期列信号の周期や信号の符号(0と1との組合せ)を変化させる場合、シフトレジスタの段数 n やフィードバックのための中間段数 m の位置を変えるために複数個の最大周期列信号発生回路を備える必要があり装置が大型化するという問題があつた。

この発明は上記のような課題を解決するためになされたもので、最初から不規則度が高く信号の周期や符号が可変である最大周期列信号の発生回路を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る最大周期列信号発生回路は、シフトレジスタの段数 n 及びフィードバックのための中間段数 m を切換えるためのスイッチ回路、レーダ等のパルス変調周期と同期をとるための K 進カウンタ回路と任意の初期値設定のためのプリセット回路を設けたものである。

〔作用〕

この発明における最大周期列信号発生回路は、プリセット回路で初期値を任意に設定できるため

拡散通信システム(昭和63年5月20日発行、科学技術出版社)、423頁表6.6に示されているものが知られている。

〔発明が解決しようとする課題〕

上記のような従来の最大周期列信号発生回路における初期値設定は、リセット信号発生部(3)においてフリップフロップをリセット信号でプリセットし、 n 段シフトレジスタ(1)の1段目だけに1を入れる初期値(1, 0, 0, ..., 0)が用いられていた。このためシフトレジスタの段数 n が大きくなると第6図(b)に示すように初期の当分の期間0が続き不規則度が低い信号となるという問題点があつた。また、レーダ等に適用する場合、レーダのパルス変調の周期と最大周期列信号の周期が非同期ではスプリアスが発生するため互いに同期をとる必要がある。しかし n 次の最大周期列信号の周期は $(2^n - 1)T$ であり、レーダの距離性能、ドップラ検出性能などにより決定されるパルス幅、パルス繰返し周期と同期をとることが困難であるという問題点があつた。更に、秘匿性向上のため

最初から信号の不規則度が高く、更に、シフトレジスタの段数 n と中間段数 m の値が変化できると共に K 進カウンタで強制的に符号長や周期を変えることにより、装置を大型化することなく耐妨害性や秘匿性を向上できる最大周期列信号を発生する。

〔実施例〕

第1図はこの発明の一実施例を示す図であり、(1)は n 段シフトレジスタ、(2)は排他的論理和回路、(3)はプリセット信号発生部、(4)はクロックパルス発生部、(5)はシフトレジスタの段数を切換えるためのスイッチ回路、(6)はフィードバックのためのタップ位置を切換えるためのスイッチ回路、(7)は K 進カウンタ、(8)は制御部である。

制御部(8)は第2図に示すように、CPU(81)、メモリ(82)、第1の専用演算器(83)、第2の専用演算器(84)及びI/O(入出力)コントローラ(85)で構成されバス(86)により互いに接続されている。

この制御部(8)の動作フローは第3図のフローチ

ャートに示す通りであり、通信やレーダの諸元に適合した最大周期列信号の形式、すなわち、信号の周期や符号の組合せを決定するための演算並びにその周期や符号の組合せのスケジューリング(時間的な変化のさせ方)を行う。

第3図のフローチャートにしたがつて、この発明による最大周期列信号発生回路の動作を説明する。まず、通信装置やレーダ装置の諸元をI/Oコントローラ(85)を通して読み込みメモリ(82)に記憶する(ステップイ)。このメモリ(82)に記憶された諸元を用いてシフトレジスタ(1)の段数 n' 及びタップ位置 m を第1の専用演算器(83)により決定する(ステップロ)。この値 n' 及び m はI/Oコントローラ(85)を通して、シフトレジスタ(1)の段数を切替えるためのスイッチ回路(5)及びフィードバックのためのタップ位置を切替えるためのスイッチ回路(6)に送られ、それぞれのスイッチ回路を動作させシフトレジスタ(1)の段数を n' に、タップ位置を m に、このメモリ(82)に記憶された諸元、すなわち、レーダのバルス繰返し周期(通信

ではデータ周期) T を用いて、 $(2^{n'}-1)T \geq \tau$ を満足するシフトレジスタ(1)の段数 n' を設定し、この n' に対応した n' 次の原始多項式の係数からタップ位置 m を専用演算器(83)を用いて決定する。この値 n' 及び m はI/Oコントローラ(85)を通して、シフトレジスタ(1)の段数を切替えるためのスイッチ回路(5)及びフィードバックのためのタップ位置を切替えるためのスイッチ回路(6)に送られ、それぞれのスイッチ回路を動作させシフトレジスタ(1)の段数を n' に、タップ位置を m に切替える(ステップハ)。次に、シフトレジスタ(1)の初期値を第2の専用演算器(84)(例えば、2値乱数発生器)により設定し、I/Oコントローラ(85)を通してプリセット信号発生部(3)に送ると共に、プリセット指令によりシフトレジスタ(1)へ初期値としてプリセットする(ステップニ)。上記のように初期設定が完了した後、I/Oコントローラ(85)を通してK進カウンタ(7)をリセットし(ステップホ)、更に、クロックパルス発生部(4)を起動させる(ステップヘ)。

上記手順により動作を始めた最大周期列信号発生回路は第4図(a)に示すようにクロックパルスがK個毎に、第4図(b)のようなK進カウンタ(7)のオーバーフローパルスが生じK進カウンタ(7)及びプリセット信号発生部(3)それぞれがリセット及び第4図(c)のようにプリセットされて初期状態に戻り、 n' 段のシフトレジスタ(1)で発生する最大周期列信号の周期 $(2^{n'}-1)T$ から第4図(d)に示すようにKTの周期分だけ抽出する。

このように、2値乱数などを用いて得られた初期値をプリセットして得られる n' 次最大周期列信号は、最初から不規則度が高い。しかも、通信やレーダなどの諸元に合せて互いの同期がとれるようカウンタの進数Kを決め、プリセット信号発生部(3)でプリセット信号が生じる毎に、すなわち、KT($<(2^{n'}-1)T$)の周期で再現的に n' 次最大周期列信号が現われるため、周期がずれることにより発生するスプリアスの発生が抑えられる。また、時間的に m または n' と m を同時に変えることにより、発生する信号の符号の組合せや符号長が

変えられるため、相手側に信号解析する時間的余裕が少なくなり秘匿性や耐妨害性が向上する。

なお、上記説明ではフィードバックのためのタップ数がひとつの場合について述べたが、複数の場合についても同様に適用できる。また、制御のために専用演算器を用いた場合について述べたが、複数個のCPUで演算する場合についても同様に適用できる。

〔発明の効果〕

以上のように、この発明によれば、従来の最大周期列信号を発生させる回路にプリセット信号発生部、K進カウンタ、シフトレジスタの段数を切替えるスイッチ回路を付加することにより、装置を大型化することなく通信やレーダなどの諸元に適合した初期特性の良好な最大周期列信号発生回路を提供できるという効果がある。

4. 図面の簡単な説明

第1図はこの発明による最大周期列信号発生回路の一実施例を示すブロック図、第2図はこの発明の信号発生回路の制御部の一実施例を示すプロ

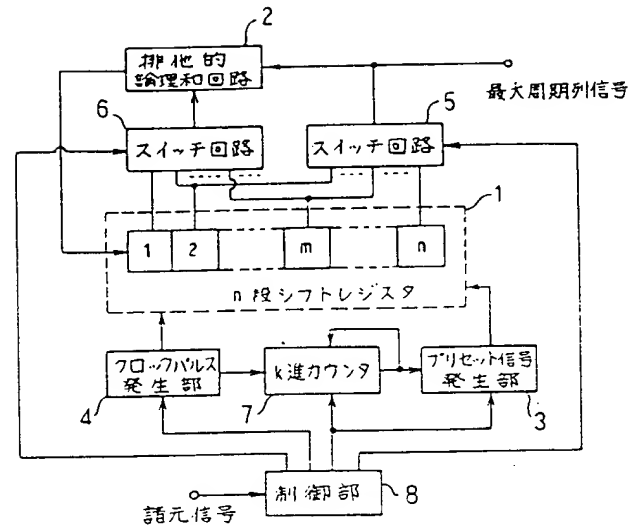
ック図。第3図はこの制御部の動作を説明するフローチャート。第4図はこの発明の信号発生回路で発生した信号波形の例を示す図。第5図は従来の最大周期列信号発生回路を示すブロック図。第6図はこの信号発生回路で発生した信号波形の例を示す図である。

図中、(1)は n 段シフトレジスタ、(2)は排他的論理和回路、(3)はプリセット信号発生部、(4)はクロックパルス発生部、(5)、(6)はスイッチ回路、(7)は K 進カウンタ、(8)は制御部である。

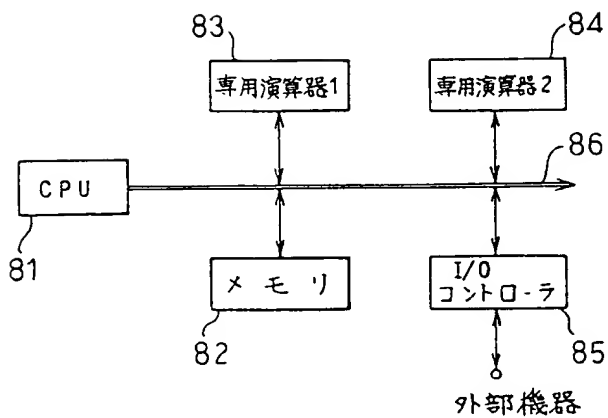
なお、図中同一あるいは相当部分には同一符号を付して示してある。

代理人 大 岩 増 雄

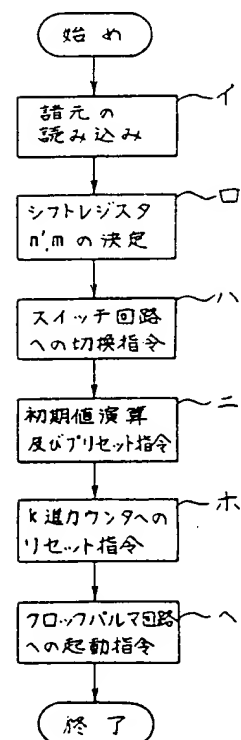
第 1 図



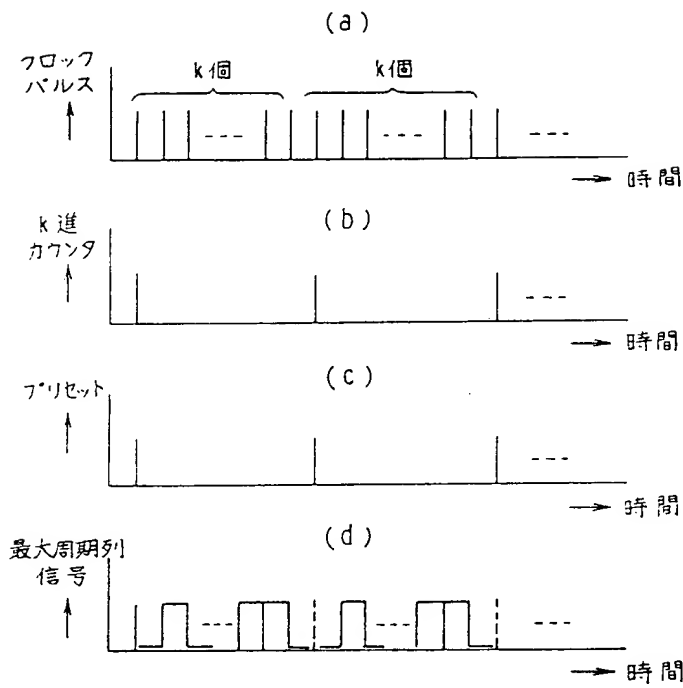
第 2 図



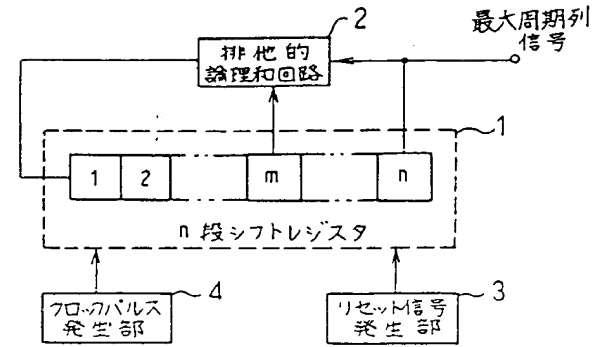
第 3 図



第 4 図



第 5 図



第 6 図

